

Școala de vară

Introducere în proiectarea sistematică a circuitelor integrate

1 – 15 iulie 2024

organizată de Grupul de Cercetare DERFAIC

cu sprijinul

IEEE Romania Section

IEEE Romania Education Chapter

IEEE Student Branch - Technical University of Cluj-Napoca



Sponsor: Infineon Technologies Romania



Program 1 – 15 iulie 2024

Luni, 1 iulie, ora 9 -12 și 13-17, Online, platforma TEAMS

Prezentare - Circuite

9-12 Metodă de dimensionare a tranzistoarelor MOS
Oglinzi de curent: simplă, cascodă standard, cascodă pentru tensiuni de alimentare reduse, alte topologii

Prezentare - CAD

Introducere în mediul de proiectare a circuitelor integrate analogice și de semnal mixt Virtuoso Schematic editor + Analog Design Environment: editare scheme, tipuri de analize

Aplicații

13-17 Schematic editor + Analog Design Environment: pregătirea testbench-urilor, vizualizare rezultate, definirea parametrilor măsurați și extragerea valorilor de interes
Exerciții de dimensionare a tranzistoarelor MOS

Marti, 2 iulie, ora 9 -12 și 13-17, Online, platforma TEAMS

Prezentare - Circuite

9-12 Etaje diferențiale; transconductoare liniare
Elemente de teoria reacției; metode de estimare a stabilității circuitelor cu reacție folosind analize de semnal mic

Prezentare - CAD

Analog Design Environment: analize parametrice, analiza stb. Inregistrarea și procesarea rezultatelor pentru raportul de proiectare

Aplicații

13-17 Proiectarea unor oglinzi de curent
Proiectarea unor etaje de amplificare în tensiune și a unor transconductoare liniare

Miercuri, 3 iulie, ora 9 -12 și 13-17, Online, platforma TEAMS

Prezentare - Circuite

9-12 Proiectarea sistematică a amplificatoarelor operaționale (AO), folosind complementar analiza analitică și simulările numerice
Proiectarea unui AO Miller cu ieșire asimetrică (single-ended): metodologie

Prezentare - CAD

Analog Design Environment: consolidarea cunoștințelor, stări de simulare.
Intocmirea Raportului de Proiectare

13-17

Aplicații

Exemplu de proiectare al unui AO Miller cu ieșire asimetrică (single-ended)

Joi, 4 iulie, ora 9 -12 și 13-17, Online, platforma TEAMS

Prezentare – Circuite

9-12 Variante de AO derivate din topologia AO Miller convențională
Neîmperecherea componentelor în circuite integrate.

Prezentare - CAD

Analog Design Environment - consolidarea cunoștințelor: evaluarea efectului variațiilor PVT (process-voltage-temperature) folosind ADE-XL; analizele Monte Carlo și zgomot

Aplicații

Optimizarea dimensionării circuitelor în vederea reducerii impactului neîmperecherii componentelor.

13-17 Exerciții de proiectare și caracterizare a unor AO cu ieșire asimetrică (single-ended)

Vineri, 5 iulie, ora 9 -12 și 13-17, Online, platforma TEAMS

Prezentare - Circuite

9-12 Proiectarea AO cascodă pliată cu ieșire asimetrică în clasa A
Proiectarea AO cascodă pliată cu ieșire asimetrică în clasa AB de tip Monticelli

13-17 **Aplicații**

Proiectarea sistematică a unui AO cascodă pliată

Luni, 8 iulie, ora 9 -12 și 13-17, Online, platforma TEAMS

Prezentare - CAD

9-12 Scurta prezentare a structurii fizice a componentelor integrate;
Introducere în Layout Editor. Tehnici de baza

Aplicații

Layout-ul blocurilor analogice: tehnici pentru asigurarea împerecherii dintre componente și pentru minimizarea capacităților parazite

13-17 Layout-ul unei oglinzi de curent cu cascodă de joasă tensiune

Mărti, 9 iulie, ora 9 -12 și 13-17, Online, platforma TEAMS

Prezentare - CAD

9-12 Consolidarea cunoștințelor Layout Editor, DRC, extragere netlist post-layout

Aplicații

13-17 Layout-ul unui AO (continuare), netlist post-layout, simulări cu extracted_view, iterații de proiectare

Miercuri, 10 iulie, ora 9 -12 și 13-17, Online, platforma TEAMS

Prezentare - Metodologia de proiectare a circuitelor integrate digitale

9-12 Introducere în limbajul de programare VHDL/VERILOG

Prezentare - CAD

Introducere în mediul de proiectare a circuitelor integrate digitale și de semnal mixt Virtuoso Schematic editor + Text editor: editare text, schematic editor, pregătirea testbench-urilor, vizualizare rezultate, definirea parametrilor măsurați și extragerea valorilor de interes.

Prezentare – CAD

13-17 Descrierea funcțională a unor blocuri digitale de bază utilizând instrumente HDL.

Joi, 11 iulie, ora 9 -12 și 13-17, Online, platforma TEAMS

Prezentare – CAD

9-12 Descrierea etapelor proiectare digitală utilizând instrumente Cadence.
Introducere în mediul de dezvoltare GENUS.

Aplicații

13-17 Proiectarea unui sumator „CARRY LOOK AHEAD” pentru numere binare cu semn. Adăugarea funcției de scădere. Implementarea automatului de stare pentru utilizarea sumatorului descris.

Vineri, 12 iulie, ora 9 -12 și 13-17, Online, platforma TEAMS

Aplicații

9-12 Sintetiza schemei electrice (la nivel de porți logice) a modulelor create anterior.
Realizarea analizelor de timing pentru verificarea funcționalității circuitelor sintetizate.
13-17 Determinarea ariei rezultate și a consumului de putere pentru tehnologia utilizată.

Luni, 15 iulie, ora 9 -12:30, Online, platforma TEAMS

9-12 Analiza unor exemple de proiecte individuale

12-12:30 **Închiderea Scolii de Vara**

Conf. Dr. Ing. Marius Neag